

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-150180

(43)Date of publication of application : 02.06.1999

(51)Int.Cl.

H01L 21/76
H01L 27/108
H01L 21/8242

(21)Application number : 09-314700

(71)Applicant : NEC CORP

(22)Date of filing : 17.11.1997

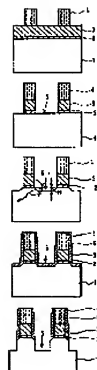
(72)Inventor : YOSHIDA KAZUYOSHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a semiconductor device having a trench for element isolation which can be manufactured with a reduced number of processes and through a simplified process.

SOLUTION: This manufacturing method, when a trench for element isolation is formed on the surface of a semiconductor substrate 1, includes a process in which an oxide film 2 and a nitride film 3 which are formed successively on the semiconductor substrate 1 are dry-etched in the order of the nitride film 3 and the oxide film 2, a process in which shallow a first trench 5a having a specified aperture part angle is formed on the exposed semiconductor substrate 1 by dry etching, and a process in which after a deposition film 6 is has been formed on the entire surface, the deposition film 6 of a trench forming part 5 for element isolation and the silicon substrate 1 are eliminated by anisotropic etching, and a trench is formed.



LEGAL STATUS

[Date of request for examination] 17.11.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3063710

[Date of registration] 12.05.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平11-150180

(43)公開日 平成11年(1999)6月2日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 21/76
27/108
21/8242H 0 1 L 21/76
27/10L
6 8 1 D

審査請求 有 請求項の数12 O L (全 7 頁)

(21)出願番号 特願平9-314700

(22)出願日 平成9年(1997)11月17日

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 吉田 和由

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 弁理士 畑 泰之

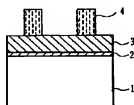
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

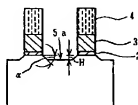
【課題】 削減した工程数でしかも簡略化されたプロセスで製造することができる素子分離用トレンチを有する半導体装置の製造方法を提供する。

【解決手段】 半導体基板1面に素子分離用の溝を形成するに際して、半導体基板1上に順次形成した酸化膜2、窒化膜3を、窒化膜3、酸化膜2の順にドライエッチングする工程と、表出した前記半導体基板1にドライエッチングにより所定の開口部角度と深さの浅い第1溝5aを形成する工程と、全面にデポジション膜を形成した後、異方性エッチングにより素子分離用の溝形成部5の前記デポジション膜6、シリコン基板1を除去して前記溝を形成する工程を含む。

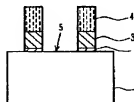
(A)



(C)



(B)



【特許請求の範囲】

【請求項1】 半導体基板面に素子分離用の溝を形成するに際して、当該半導体基板上に酸化膜及び窒化膜をこの順に形成する第1の工程、当該酸化膜及び窒化膜をフォトリソグラフィ技術を利用してパターン形成したフォトリソ層をマスクとして、所定の部位の当該酸化膜及び窒化膜を除去すると共に、当該半導体基板表面をドライエッチングする事により当該半導体基板表面に所定の深さを有し且つ縁部に所定の傾斜面を有する凹陥部を形成する第2の工程、当該半導体基板の全面にデポジションを行う第3の工程、及び当該酸化膜及び窒化膜の側壁部に形成されたデポジションのサイドウォールをマスクとして当該半導体基板にエッチングによるトレンチ部を形成する第4の工程とから構成された事を特徴とする半導体装置の製造方法。

【請求項2】 当該第2の工程は、等方性のドライエッチング工程であり、当該第4の工程は、異方性ドライエッチング工程である事を特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 当該第2の工程では、CF₄ガス、CHF₃ガス及びArガスからなる混合ガスが使用されるものである事を特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 当該第2の工程は、当該酸化膜及び窒化膜をエッチングする第1のエッチングステップと、当該半導体基板の表面に所定の深さを有し且つ縁部に所定の傾斜面を有する凹陥部を形成する第2のエッチングステップで構成されている事を特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項5】 当該第1のエッチングステップは、HBrガス及びCF₄ガスを含む混合ガスが使用され、当該第2のエッチングステップではCF₄ガス及びArガスを含む混合ガスが使用されるものである事を特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 当該第3の工程に於ける該デポジション工程に於いては、C₄F₈ガス及びC₆₀ガスを含む混合ガスが使用されるものである事を特徴とする請求項1乃至5の何れかに記載の半導体装置の製造方法。

【請求項7】 当該第4の工程に於けるドライエッチング工程に於ては、HBrガスが使用されるものである事を特徴とする請求項1乃至6の何れかに記載の半導体装置の製造方法。

【請求項8】 当該第4の工程に於けるドライエッチング工程に於ては、HBrガスとO₂ガスの混合ガスが使用されるものである事を特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 当該各エッチング工程およびデポジション工程が同一のエッチング装置内で連続的に行なわれることを特徴とする請求項1乃至8の何れかに記載の半導体装置の製造方法。

【請求項10】 当該エッチング工程に於て使用されるエッチング装置が低圧高密度プラズマ処理装置であることを特徴とする請求項1乃至9の何れかに記載の半導体装置の製造方法。

【請求項11】 当該第2の工程に於て、該半導体基板の表面に形成される当該凹陥部の縁部に形成されるテーパ角度は45度もしくはそれ以下の角度に形成される事を特徴とする請求項1乃至10の何れかに記載の半導体装置の製造方法。

【請求項12】 当該第2の工程に於て該半導体基板の表面に形成される当該凹陥部の深さが50nm前後となる様に形成される事を特徴とする請求項1乃至11の何れかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、さらに詳細には、シリコン基板に素子分離用トレンチつまり分離様溝を形成する工程を含む半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体装置の微細化がますます進み、例えば、1Gbit DRAMではデザインルールが0.18μm以下となり、サブクォーターミクロンの加工を高精度に再現性よく行なう技術が必要になってきている。半導体装置には素子を電気的に分離する素子分離領域が存在し、この様なサブクォーターミクロン領域の素子分離方法としては、これまでの選択酸化による素子分離領域の形成では困難である。

【0003】そのため、図5の(A)～(D)に示す素子分離用トレンチ形成プロセスフローが必要である。すなわち、図5(A)のように、シリコン基板10上に酸化膜12、シリコン窒化膜13を形成してパターンニング後、シリコン窒化膜13をマスクとしてエッチングしてシリコン基板10に深さ200～500nm程度のトレンチ14（トレンチ角部Aは後に図6で説明する）を形成し、図5(B)のように全面を酸化して酸化膜15を形成し、要すれば適宜の素子領域53を形成した後、図5(C)のように、さらに上面に埋め込み酸化膜16を埋め込み化学機械研磨(CMP)で平坦化し、図5

(D)のようにトレンチ埋め込みによる分離領域を形成するトレンチ分離法が、半導体装置のサブクォーターミクロン領域の素子分離に必要な。

【0004】上記図5(A)に示した素子分離トレンチを形成するドライエッチング方法では、図6および図7で説明するように、後工程で丸み形成を容易にするためトレンチ開口部の角（図5(A)のP部）は、図6

(A)のPで示すように略直角（開口部直交）とはせず、図7(A)のQに示すように約45度のテーパ形状図が要求されている。

【0005】要するならばこのトレンチ開口部の角はトラ

ンジスタ等のデバイスを作成した場合、図6(B)に示した角P部が電界集中等により電気的特性を著しく劣化させるためである。この為、トレンチ形成後、酸化(丸め酸化)を行い、開口部の角を丸める異によって、上記電気特性の劣化を防止している。

【0006】しかし、トレンチエッチング後の開口部の角の角度は丸め酸化に大きく影響し、開口部の角がよりテーパーである程丸め酸化が容易となる。係る観点から、特にトレンチ開口部の順テーパー形状が必要とされている。つまり、図7(B)のテーパー形状Qの様に構

成する事によって、上記劣化が改善される。なお図で16は酸化膜、17はシリコン基板である。
【0007】特開昭63-111662号には、このようなトレンチの角に丸めを持たせるトレンチ形成のドライエッチング方法が開示されている。図8(A)～(D)を用いてそのプロセスフローを説明する。先ず、図8(A)に示すように、シリコン基板21上に厚さ200～400nmの酸化膜22、厚さ100～200nmのシリコン窒化膜23を順次形成し、リソグラフィ技術とドライエッチング工程によりレジストパターン(図示せず)をマスクとしてシリコン窒化膜23と酸化膜22をパターンニングする。

【0008】次にレジストパターンを除去した後、本トレンチ作成工程のマスクとなるシリコン窒化膜23、被エッチング部のシリコン基板を露出させる。その後、水酸化カリウム(KOH)等の溶液を用いた異方性ウェットエッチングによりシリコン基板21をテーパー角60度のV字形トレンチ24を形成する。この場合のシリコン基板21として面方位が(100)のシリコンを利用する。

【0009】次に、厚さ100～300nm程度のCVD-SiO₂を全面に形成し、通常のRIE(反応性イオンエッチング)法によりエッチバックを行ない、図8(B)に示すようにV字形トレンチ24の側面にSiO₂のサイドウォール25を形成する。次に、図8(C)に示すように、表出しているシリコン窒化膜23とサイドウォール25をマスクとし、ハロゲン系のガスを用いたRIE法によりV字形トレンチ24の底部に例えば約1μm程度の深さのトレンチ26を形成する。

【0010】最後に図8(D)に示すように、サイドウォール25をウェットエッチング等により除去し、サイドウォール25が除去された部分である上部のみがテーパー角60度のトレンチ26が形成されることになり、トレンチ開口部の角の酸化による丸めが容易となる。また、図9(A)および(B)に示すように、上記KOH溶液による異方性ウェットエッチングの代わりにF(フッ素)系ガスを使用した等方性ドライエッチ、ウェットエッチを行ない浅い溝28を形成し、その後、シリコントレンチエッチングを行いトレンチ29を形成する第2の方法でも上記第1の方法と同様にトレンチ開口部

の角の丸めが容易となる。図で21はシリコン基板、22は酸化膜、23はシリコン窒化膜、27はレジストパターンである。

【0011】

【発明が解決しようとする課題】上記従来の第1の方法では、フォトリソグラフィ技術によるレジストパターン(マスク)を形成後、(1)シリコン窒化膜23、酸化膜22のドライエッチング、(2)レジストマスクの除去、(3)KOH溶液によるシリコン基板21のウェットエッチング、(4)CVD-SiO₂の成膜、(5)CVD-SiO₂エッチバックによるサイドウォール形成、(6)シリコントレンチ異方性エッチング、その後のシリコントレンチ開口部の丸め酸化等、少なくとも6工程を必要とする。従って、工程数が多く、プロセスが複雑となる。またF系ガスを使用する第2の方法も複雑である。

【0012】このような方法を素子分離用シリコントレンチ形成に適用した場合、等方性ドライエッチングを使用するためシリコン窒化膜マスク直下の拡散層形成部の幅はマスクの幅より小さくなり、その幅の制御が困難になる。従って、本発明の目的は、上記した従来技術の欠点を改良し、削減した工程数でしかも簡略化されたプロセスで製造することができる素子分離用トレンチを有する半導体装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明は上記した目的を達成する為、以下に示す様な基本的な技術構成を採用するものである。即ち、半導体基板上に素子分離用の溝を形成するに際して、当該半導体基板上に酸化膜及び窒化膜をこの順に形成する第1の工程、当該酸化膜及び窒化膜をフォトリソグラフィ技術を利用してパターン形成したフォトリソ層をマスクとして、所定の部位の当該酸化膜及び窒化膜を除去すると共に、当該半導体基板表面をドライエッチングする事により当該半導体基板表面に所定の深さを有し且つ縁部に所定の傾斜面を有する凹陥部を形成する第2の工程、当該半導体基板の全面にデポジションを行う第3の工程、及び当該酸化膜及び窒化膜の側壁部に形成されたデポジションのサイドウォールをマスクとして当該半導体基板上にエッチングによるトレンチ部を形成する第4の工程とから構成された半導体装置の製造方法である。

【0014】

【発明の実施の形態】本発明に係る半導体装置の製造方法は、上記した様な技術構成を採用していることから、具体的には、半導体基板面に素子分離用の溝を形成するに際して、前記半導体基板上に順次形成した酸化膜、窒化膜を、前記窒化膜、前記酸化膜の順にドライエッチングする工程と、表出した前記半導体基板にドライエッチングにより所定の開口部角度と深さの第1溝を形成する工程と、全面にデポジション膜を形成した後、異方性エ

ッチングにより素子分離用の溝形成部の前記デポジション膜、前記シリコン基板を除去して前記溝を形成する工程を含むことを特徴とするものであり、更に、本発明に係る半導体装置の製造方法の他の態様としては、半導体基板上に素子分離用の溝を形成するに際して、前記半導体基板上に順次形成した酸化膜、窒化膜を、前記窒化膜、前記酸化膜およびの表出した前記半導体基板を順次ドライエッチングして所定の開口部角度と深さの第1溝を形成する工程と、全面にデポジション膜を形成した後、異方性エッチングにより素子分離用の溝形成部の前記デポジション膜、前記シリコン基板を除去して前記溝を形成する工程を含むことを特徴とするものである。

【0015】本発明の半導体装置の製造方法では、上記方法によって、シリコン基板上方にリソグラフィ技術によるレジストパターンを形成後のシリコン窒化膜のエッチングから素子分離用溝（トレンチ）のエッチングまでを同一のエッチング装置で連続的に行なうことができるため、工程数が削減でき、プロセスが簡略化できる。

【0016】更には、本発明に於いては、シリコン基板をテーパ角度が45度若しくは45度以下にすると共に、その凹陥部の深さを50nm程度となる様にエッチングを行った後に、続いてフロロカーボン系ガスを含むガスパズマにより厚さ10〜20nm程度のデポジションを行うステップを設けているので、シリコントレンチ上部のみ45度程度のテーパ角のトレンチ形成が可能となる。

【0017】

【実施例】以下、本発明の具体的な実施例を図面を参照して詳細に説明する。図1と図2は、本発明に係る半導体装置の製造方法の第1実施例を説明するためのそれぞれ前半工程断面図および後半工程断面図である。図中、半導体基板上に素子分離用の溝を形成するに際して、当該半導体基板1上に酸化膜2及び窒化膜3をこの順に形成する第1の工程、当該酸化膜2及び窒化膜3をフォトリソグラフィ技術を利用してパターン形成したフォトリソレジスト層4をマスクとして、所定の部位の当該酸化膜2及び窒化膜3を除去すると共に、当該半導体基板1表面をドライエッチングする事により当該半導体基板表面に所定の深さを有し且つ縁部に所定の傾斜面を有する凹陥部5aを形成する第2の工程、当該半導体基板の全面にデポジションを行う第3の工程、及び当該酸化膜2及び窒化膜3の側壁部に形成されたデポジションによるサイドウォール6をマスクとして当該半導体基板にエッチングによるトレンチ部7を形成する第4の工程とから構成された半導体装置の製造方法の手順が示されている。

【0018】本発明に係る半導体装置の製造方法の具体的な例より詳細に説明するならば、先ず、図1(A)に示すように、シリコン基板1上に厚さ20nm程度の酸化膜2、厚さ200nm程度のシリコン窒化膜3を順次形成し、リソグラフィ技術によりレジストパターン4を

形成する。その後、シリコン窒化膜のエッチングから素子分離用のトレンチ（溝）エッチングまでを、低圧高密度プラズマエッチング装置の1つである誘導結合型プラズマエッチング装置を用いて連続して行なう。

【0019】そのエッチングは、図1(B)に示すように、先ず、第1のエッチングステップにおいて、レジストパターン4をマスクとしてシリコン窒化膜3と酸化膜2をドライエッチングして素子分離用のトレンチ形成部5のシリコン基板を表出させる。このステップのエッチングガスとしてはHBrガスとCF₄ガスの混合ガスを使用する。ドライエッチング条件としてはHBrガス流量25sccm、CF₄ガス流量25sccm、圧力5mTorr、ソースパワー400W、バイアスパワー5Wとし、シリコン窒化膜3と酸化膜2を垂直にエッチングする。エッチング均一性向上のために必要であればHeガスを上記ガスに添加して使用してもよい。

【0020】次に、第2のエッチングステップにおいて、図1(C)に示すように、表出したシリコン基板（トレンチ形成部）5をテーパ角 α （シリコン基板面と水平面とでなす角度）を45度以下、深さHを50nm程度に浅く等方性ドライエッチングして浅い溝5aを形成する。このテーパ角 α が最終的に得られるトレンチ形成条件としては、CF₄ガスとArガスの混合ガスを使用し、CF₄ガス流量5sccm、Arガス流量100sccm、圧力20mTorr、ソースパワー400W、バイアスパワー50Wであった。なおテーパ角45度はトレンチの開口部の丸み酸化に好適な角度である。

【0021】次に、図2(A)に示すように、フロロカーボン系ガスを含んだプラズマにより厚さ10〜20nm程度のデポジションを行なう。使用するガスとしては、デポジション性の強い、水素を含まないフロロカーボン系ガス、例えばC₄F₈ガスと、COガスの混合ガスを使用する。このときの条件としては、C₄F₈ガス流量20sccm、COガス流量100sccm、圧力20mTorr、ソースパワー1000W、バイアスパワー0Wである。これによりレジスト側壁、シリコン窒化膜、酸化膜側壁を含む全面（浅い溝5a上も）にデポジション膜6が形成される。

【0022】次に、第2図(B)に示すように、シリコントレンチの異方性エッチングを行なう。この時に上記のようにトレンチ形成部5にも前ステップによりデポジション膜6が形成されているが、異方性の強いエッチングを行なうことによりトレンチ側壁と同一条件でこのトレンチ形成部5のデポジション膜6のエッチングも可能である。

【0023】また、前ステップのデポジション膜6がサイドウォールの役割を果たし、トレンチ上部（開口部）では第2のエッチングステップにおいて形成した45度のテーパ角が保持される。この時のエッチング条件

は、例えばHBrガス流量100sccm、O₂ガス流量3sccm、圧力5mTorr、ソースパワー600W、バイアスパワー150Wである。

【0024】最後に、図2(C)に示すように、マスクであるレジスト膜4およびサイドウォールのデポジション膜を除去することによりトレンチ開口部のみに、テーパー角45度(7a)のトレンチ形状7が得られる。その後、次工程において酸化を行ないトレンチ開口部の丸めを行なうが、この丸めが低温で容易に行なうことができる。

【0025】以上説明したように、トレンチ開口部のみ45度程度テーパーを有したトレンチ形状が同一装置内で連続に行なうことが可能となった。上記した説明から明かな様に、本発明に於て射手は、上記した当該第2の工程は、等方性のドライエッチング工程であり、当該第4の工程は、異方性ドライエッチング工程であるが特徴となっている。

【0026】そして、更に本発明に係る半導体装置の製造方法は、上記第2の工程以降は、ガスを主体にした処理操作を連続的に実行するものであり、それによって、工程の短縮化、低コスト化、処理操作の効率化等が向上する。又、本発明に於いては、当該第2の工程では、単一の工程でシリコン基板に、前記した凹陥状部5aを形成する様に設計する事も可能であり、その場合には、CF₄ガス、CHF₃ガス及びArガスからなる混合ガスが使用されるものである事が望ましい。

【0027】又、当該第2の工程は、当該酸化膜及び窒化膜をエッチングする第1のエッチングステップと、該半導体基板の表面に所定の深さをも有し且つ縁部に所定の傾斜面を有する凹陥部を形成する第2のエッチングステップで構成されている事も可能であり、その場合には、当該第1のエッチングステップは、HBrガス及びCF₄ガスを含む混合ガスが使用され、当該第2のエッチングステップではCF₄ガス及びArガスを含む混合ガスが使用されるものである。

【0028】一方、本発明に係る半導体装置の製造方法に於いては、当該第3の工程に於ける該デポジション工程に於いては、C₄F₈ガス及びCOガスを含有混合ガスが使用されるものである事が好ましい。更には、当該本発明に於ける半導体装置の製造方法に於いては、当該第4の工程に於けるドライエッチング工程に於ては、HBrガスが使用されるものである事が望ましい。

【0029】又、本発明に於ける当該第4の工程に於けるドライエッチング工程に於ては、HBrガスとO₂ガスの混合ガスを使用する事も可能である。上記した様に、本発明においては、当該各エッチング工程およびデポジション工程が同一のエッチング装置内で連続に行なわれることが特徴であり、その場合、当該エッチング工程に於て使用されるエッチング装置が低圧高密度プラズマ処理装置であることが好ましい。

【0030】次に、本発明に係る半導体装置の製造方法の第2の具体例について第3図を参照しながら説明する。まず、図3(A)に示したように、第1の具体例の図1(A)と同様に、シリコン基板1上に酸化膜2、シリコン窒化膜3、レジストパターン4を形成する。次に、図3(B)に示したように、第1のエッチングステップにおいてシリコン窒化膜3、酸化膜2の異方性エッチングおよび表出したシリコン基板4のテーパーエッチングを同一ステップにて行なう。

【0031】この時のガス系にはCF₄ガス、CHF₃ガス、Arガスの混合ガスを使用する。CHF₃ガスのシリコン上でのデポジションの効果により、この混合ガス系でシリコンエッチングを行なうと図3(B)に示すように45度程度のテーパー形状8が得られる。このようなエッチングにより、第1の実施例における第2のエッチングステップが削除できる。この時のエッチング条件は、例えばCF₄ガス流量100sccm、CHF₃ガス流量20sccm、Arガス流量200sccm、圧力50mTorr、ソースパワー400W、バイアスパワー100Wである。後の工程は実施例1と同様に行なうことができるため省略する。

【0032】さらに図4(A)及び図4(B)に示すように、これら第1および第2の具体例の最後のエッチングステップとしてトレンチ底部を丸めるエッチングステップを追加することで、後工程の丸め酸化はさらに容易となる。このエッチングステップの条件としては例えばHBrガス流量100sccm、O₂ガス流量10sccm、圧力5mTorr、ソースパワー600W、バイアスパワー150Wの条件を使用する。

【0033】以上述べてきたように、素子分離用のシリコントレンチエッチングに本発明の手法を適用することにより、同一のエッチング装置によりしかも連続ステップにより、トレンチ上部のみ45度程度のテーパーを有するトレンチの形成が可能となる。尚、本発明でこれまで述べてきたガス流量、圧力領域、パワー等のエッチング条件についてはこれに限るものでなく随意変更可能である。

【0034】

【発明の効果】以上の説明から明かなように、本発明のエッチング方法を適用すれば、同一のエッチング装置内で連続ステップにより工程を簡略化、工程数を削減し、後工程の丸め酸化を容易にする溝(トレンチ)の開口部形状を形成した半導体装置を得ることができる。

【図面の簡単な説明】

【図1】図1は、本発明に係る半導体装置の製造方法の第1の具体例の構成を説明するための前半工程断面図。
【図2】図2は、本発明の第1の具体例を説明するための後半工程断面図。

【図3】図3は、本発明に係る半導体装置の製造方法の第2の具体例の構成を説明する工程断面図。

【図4】図4は、本発明に係る半導体装置の製造方法の第3の具体例を説明するための工程断面図。

【図5】図5は、従来の素子分離用トレンチ形成を説明するための工程断面図。

【図6】図6は、トレンチ開口部垂直形状説明図。

【図7】図7は、トレンチ開口部テーパー形状説明図。

【図8】図8は、従来の素子分離用トレンチ形成を説明するための工程断面図。

【図9】図9は、等方性エッチング使用を使用した従来の素子分離用トレンチ形成を説明するための工程断面図。

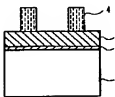
*【符号の説明】

- 1…シリコン基板、
- 2…酸化膜、
- 3…シリコン窒化膜、
- 4…レジストパターン、
- 5…トレンチ形成部（シリコン基板表出部）、
- 5a…浅い溝、凹陷状部
- 6…デポジション膜、
- 7…トレンチ形状、
- 8…テーパー形状、

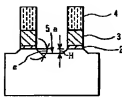
*

【図1】

(A)

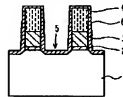


(C)

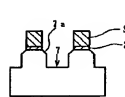


【図2】

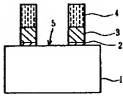
(A)



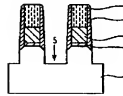
(C)



(B)

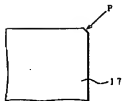


(B)

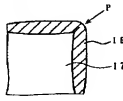


【図6】

(A)

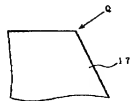


(B)

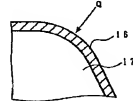


【図7】

(A)

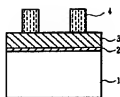


(B)



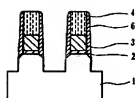
【図3】

(A)



【図4】

(A)

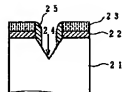


(A)

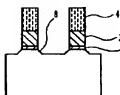


【図8】

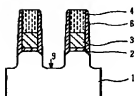
(B)



(B)



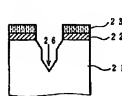
(B)



(C)



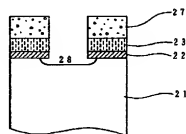
(D)



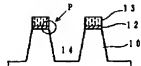
【図9】

【図5】

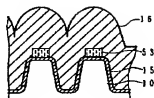
(A)



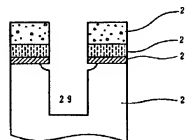
(A)



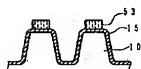
(C)



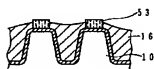
(B)



(B)



(D)



[0018] A concrete example of a method of manufacturing a semiconductor according to the present invention is described in more detail as follows. First, as shown in FIG. 1(A), an oxide film 2 having a thickness of about 20 nm and a silicon nitride film 3 having a thickness of approximately 200 nm are successively formed on a silicon substrate 1, and a resist pattern 4 is formed by lithographic technique. Then, etching of the silicon nitride film through trench etching for isolation is consecutively carried out with an inductively coupled plasma etching apparatus which is one of low-pressure-high-density plasma etching apparatuses.

[0019] In a first etching step as shown in FIG. 1(B), the above-mentioned etching is to dry etch the silicon nitride 3 and the oxide film 2, utilizing the resist pattern 4 as a mask, so that the silicon substrate of a trench-formed portion 5 for isolation is exposed. As the etching gas in this step, a mixed gas of HBr gas and CF₄ is used. The conditions of dry etching are assumed to be: an HBr gas flow rate of 25 sccm, a CF₄ gas flow rate of 25 sccm, a pressure of 5 m Torr, a source power of 400 W, and a bias power of 75 W, and etching is applied vertically on the silicon nitride film 3 and the oxide film 2. If necessary, He gas may be added to the above-mentioned gas for use in the improvement of etching uniformity.

[0020] Next, as shown in FIG. 1(C), in a second etching step, an isotropic dry-etching is applied to the exposed silicon substrate (trench-formed portion) 5, giving a taper angle α (an angle formed with a silicon substrate surface and a level surface) of less than 45 degrees and a depth H of as shallow as 50 nm, so as to form a shallow trench 5a. The trenching condition to consequently obtain the tapered angle α is stipulated as follows; namely, utilization of a mixed gas of CF gas and Ar gas, a CF₄ gas flow rate of 5 sccm, an Ar gas flow rate of 100 sccm, a pressure of 20 m Torr, a source power of 400 W and a bias power of 50 W. Note that the taper angle of 45 degrees is a suitable angle for rounded oxidization on an opening of the trench.